

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036719

(43)Date of publication of application : 07.02.1997

(51)Int.Cl. H03K 17/04

H03K 17/60

(21)Application number : 07-180327 (71)Applicant : TOSHIBA

MICROELECTRON CORP
TOSHIBA CORP

(22)Date of filing : 17.07.1995 (72)Inventor : UENO SHOJI

SHIMOZONO MASAHIRO
SHIOKAWA KATSUMI

(54) HIGH SPEED SWITCHING CIRCUIT



(57)Abstract:

PROBLEM TO BE SOLVED: To reduce current consumption by using a connecting point between the emitter and collector of transistors (TRs) A, B as an output, providing a prescribed voltage drop circuit between the collector and a

base and applying a signal to the base of the TRA so as to operate the switching circuit at a high speed.

SOLUTION: A collector of a TR Q2 connects to a power supply V_{cc} via a resistor R1, its emitter is connected to a collector of a TR Q3, and to a base of a TR Q1 an each emitter of the TRs Q3, Q1 is connected to ground. Furthermore, the collector of the TR Q1 is used for an output V_{out} and connects to a power supply V_c via a resistor R_L , a base of the TR Q2 is used for an input terminal IN, to which a signal is inputted. A constant voltage drop circuit (D1, D2) whose voltage drop is higher than a collector-emitter voltage of the TR Q2 and a capacitor C_{sp} are provided between the collector of the TR Q2 and the base of the TR Q3. Thus, the switching circuit is operated at a high speed by one input signal and the current consumption is reduced.

LEGAL STATUS

[Date of request for examination] 17.03.2000

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3297256

[Date of registration] 12.04.2002

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st transistor from which the end of the 1st resistance (R1) is connected to a collector, and the base serves as an input edge (Q2), The 2nd transistor by which a collector is connected to the emitter of said 1st transistor (Q2) (Q3), The constant-voltage drop circuit connected between the collector of said 1st transistor, and the base of said 2nd transistor (D1 and D2), The 3rd transistor from which the end of the 2nd resistance (RL) is connected to a collector, the base is connected at the emitter of said 1st transistor, and the node between collectors of said 2nd transistor, and a collector serves as an outgoing end (Q1), The current supply means connected to the other end of said each 1st and 2nd resistance, and the emitter of each of said 2nd and 3rd transistors (Vcc and Vc), The high-speed switching circuit set up so that the drop electrical potential difference in a preparation and said constant-voltage drop circuit may become larger than the electrical potential difference between collector emitters of the 1st transistor at the time of the flow of said 1st transistor.

[Claim 2] Said constant-voltage drop circuit is a high-speed switching circuit according to claim 1 characterized by what is constituted among diode, zener diode, and a transistor using either at least.

[Claim 3] Said the 1st thru/or 3rd transistor is a high-speed switching circuit

according to claim 1 characterized by what is been an NPN transistor.

[Claim 4] The high-speed switching circuit according to claim 1 characterized by what speed up capacitor is connected to said constant-voltage drop circuit and juxtaposition for.

[Claim 5] the 1st power source (Vcc) with which said current supply means supplies the 1st supply voltage between the other end of said 1st resistance, and said 2nd transistor emitter, and the 2nd power source (Vc) which supplies the 2nd supply voltage between the other end of said 2nd resistance, and the emitter of said 3rd transistor -- since -- the high-speed switching circuit according to claim 1 characterized by what is become.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the high-speed switching circuit aiming at improvement in the speed of the switching operation of an open collector output circuit about a transistor switching circuit.

[0002]

[Description of the Prior Art] The example of the conventional switching circuit is explained with reference to drawing 3. In this drawing, if the switching circuit shows the case where it connects in the medium of a 3-volt electrical power system circuit and a 5-volt electrical power system circuit and divides it roughly, it is constituted by the emitter-follower circuit and open collector output circuit used as a buffer. an emitter follower circuit -- NPN transistor Q2 of a grounded collector format, and transistor Q2 The resistance R1 connected to a collector, and transistor Q2 the resistance R2 connected to an emitter -- be alike is constituted. Transistor Q2 Supply voltage V_{cc} , for example, the electrical potential difference of 3 volts, is impressed to the ends of the emitter follower circuit where a signal is impressed to the base from the 1st power source which is not illustrated.

[0003] a collector output circuit is connected to the output transistor Q1 of a grounded emitter, and its collector -- load-resistance- R_L and be alike is constituted. Transistor Q1 The base is a transistor Q2. It connects with a collector and the node of load resistance R_L and a transistor Q1 serves as an outgoing end. Supply voltage V_c , for example, the electrical potential difference of 5 volts, is impressed to the ends of a collector output circuit according to the 2nd power source which is not illustrated.

[0004] When an input signal I_N is a high level in this configuration, it is a transistor Q2. It flows and they are an emitter current and resistance R2. Bias of between the base emitters of a transistor Q1 is carried out by the electrical potential difference to generate, and it is a transistor Q1. It flows. Consequently, an outgoing end serves as touch-down level, and is an output signal V_{OUT} . It is set to a low (0 volt of abbreviation). Moreover, when an input signal I_N is a low, it is a transistor Q2. It is un-flowing and is a transistor Q1. Since bias of between base emitters is not carried out, it is a transistor Q1. It is un-flowing. Consequently, an outgoing end minds Resistance R_L and is a power source V_c . It connects and is an output signal V_{OUT} . It is set to a high level (5 volts of abbreviation).

[0005] It is the output signal VOUT in case drawing 4 shows the example of a switching waveform of the above-mentioned switching circuit and, as for this drawing (a), an input signal IN changes from a high level to a low. The response is shown. 50% falling value of an input signal IN to output signal VOUT 74nS extent important point of the time amount tp LH to a start value is carried out 50%, for example. This drawing (b) is the output signal VOUT in case an input signal IN changes from a low to a high level. The response is shown. 50% start value of an input signal IN to output signal VOUT The 2.6nS extent important point of the time amount tp HL to a falling value is carried out 50%, for example.

[0006] By the circuitry shown in drawing 3, it is a transistor Q1. When changing from ON at OFF, it is resistance R2. It minds and is a transistor Q1. In order to discharge the charge accumulated in the base, as shown in drawing 4 (a), delay arises in actuation. Resistance R2 If a value is set up low, the consumed electric current of an emitter follower circuit increases, and a response is not desirable, although improved.

[0007] Drawing 5 gives the same number to the circuit which shows other conventional examples and is shown in drawing 3, and a corresponding part, and explanation of this part is omitted.

[0008] Resistance R2 shown in drawing 3 in the circuitry of this drawing NPN transistor Q3 It is replacing. When it carries out like this, it is a transistor Q3. Transistor Q1 The charge accumulated in the base is sucked up.

[0009] Drawing 6 (a) and ** (b) are the output signal VOUT of the conventional example shown in drawing 5. The response characteristic is shown. In the circuitry of this example, tp LH serves as abbreviation 18nS, tp HL serves as abbreviation 2.6nS, and a response characteristic is improved.

[0010]

[Problem(s) to be Solved by the Invention] However, by the circuitry of drawing 3, it is a transistor Q2. And Q3 Input signal IN1 with which a wave changes complementary in order to make it operate complementary And IN2 Two kinds are required. For this reason, a complementary signal generating circuit is

needed separately, and the need of moreover doubling the timing between both signals with accuracy in a switching circuit arises.

[0011] Therefore, this invention aims at operating at a high speed with one input signal, and offering a high-speed switching circuit with little consumed electric current.

[0012]

[Means for Solving the Problem] In order to attain the above-mentioned object, the high-speed switching circuit of this invention The 1st transistor from which the end of the 1st resistance (R1) is connected to a collector, and the base serves as an input edge (Q2), The 2nd transistor by which a collector is connected to the emitter of the 1st transistor (Q2) of the above (Q3), The constant-voltage drop circuit connected between the collector of the 1st transistor of the above, and the base of the 2nd transistor of the above (D1 and D2), The 3rd transistor from which the end of the 2nd resistance (RL) is connected to a collector, the base is connected at the emitter of the 1st transistor of the above, and the node between collectors of the 2nd transistor of the above, and a collector serves as an outgoing end (Q1), The current supply means connected to the other end of each 1st and 2nd above-mentioned resistance, and the emitter of each 2nd and 3rd transistors of the above (V_{cc} and V_c), It is set up so that the drop electrical potential difference in a preparation and the above-mentioned constant-voltage drop circuit may become larger than the electrical potential difference between collector emitters of the 1st transistor at the time of the flow of the 1st transistor of the above.

[0013] According to this configuration, it is a transistor Q2. When not flowing, it is a transistor Q2. A collector serves as high potential. Transistor Q3 The base is a transistor Q2. Bias is carried out to the potential which fell by the voltage drop component from collector potential. Transistor Q3 It flows and is a transistor Q1. The base is grounded and it is a transistor Q1. It is made un-flowing.

[0014] Moreover, transistor Q2 When it is a flow, it is a transistor Q1. A high level is impressed to the base and it is a transistor Q1. It flows. Transistor Q2 A

collector serves as low voltage. Transistor Q3 The base is a transistor Q2. From low collector potential, it falls by the voltage drop component, and depends, bias is carried out to low potential, and it is a transistor Q3. It is un-flowing.

[0015]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to a drawing. Drawing 1 shows the example of a switching circuit of this invention, and gives the same sign to the corresponding part with drawing 1 in this drawing.

[0016] Between the 1st power source V_{cc} and touch-down, they are resistance R1, NPN transistor Q2, and NPN transistor Q3. It connects with a serial mutually. The 2nd power source V_c Between touch-down, they are Resistance R_L and a transistor Q1. It connects with a serial mutually. Transistor Q2 An emitter and transistor Q3 A node with a collector is a transistor Q1. It connects with the base.

[0017] furthermore, resistance R1 And transistor Q2 A node and transistor Q3 between the gates -- diode D1 And D2 from -- the becoming constant-voltage drop circuit is prepared. The transistor and zener diode by which diode connection is made can constitute a constant-voltage drop circuit. Moreover, it is possible to combine this etc. A capacitor is connected to this constant-voltage drop circuit and juxtaposition, and it is made to function as the so-called speed up capacitor.

[0018] Transistor Q2 The base is connected to an input edge and the node of Resistance R_L and the collector of a transistor Q1 is connected to an outgoing end.

[0019] When an input signal IN is a high level (H) in this configuration, it is a transistor Q2. It flows. By this, it is a transistor Q1. Base current is supplied to the base and it is a transistor Q1. It flows. At this time, it is a transistor Q1. And Q3 The electrical potential difference between base emitters, respectively V_{be} (Q1) and V_{be} (Q3), Transistor Q2 They are V_{ce} (Q2 ON), diode D1, and D2 about the electrical potential difference between collector emitters (switch-on). If a forward voltage drop is set to V_F (D1) and V_F (D2), respectively Transistor Q2 In a

collector $V_{be}(Q1) + V_{ce}(Q2 \text{ ON}) < V_{be}(Q3) + V_F + (D1) V_F - (D2) (1) V_F (D1)$ of diode and $V_F (D2)$ are set up so that it may become.

[0020] Here, they are diode D1 and D2. It is V_F about a forward voltage drop $V_F (D1)$ and $V_F (D2)$. It is (1) when it carries out. Formula $V_{be}(Q1) + V_{ce}(Q2 \text{ ON}) < V_{be}(Q3) + 2V_F - (2)$ if [again] $V_{be}(Q1) = V_{be}(Q3) -$ a part for the voltage drop of a constant-voltage drop circuit $- 2V_F(s)$ Transistor Q2 Electrical potential difference $V_{ce}(Q2 \text{ ON})$ between collector emitters (switch-on) By setting up greatly, it is the above (1). A formula can be formed. In this condition, it is a transistor Q3. Between base emitters, it is a transistor Q3. In order not to give the electrical potential difference V_{be} between base emitters required for a flow, it is a transistor Q3. It is un-flowing.

[0021] On the other hand, it is a transistor Q2. When the input signal IN to the base changes from a high level to a low, it is a transistor Q2. It is un-flowing, base current is severed, and it is a transistor Q1. It is un-flowing. Transistor Q2 The collector potential of a transistor Q2 rises by un-flowing, and they are diode D1 and D2. It minds and is a transistor Q3. Since the applied voltage to the base is increased, it is a transistor Q3. It flows. Transistor Q2 Collector potential is $V_{be}(Q3) + V_F + (D1) V_F = (D2) 3V_F$. It becomes and is a transistor Q3. Since bias of the base is carried out to the forward direction, it is a transistor Q3. A flow is a transistor Q2. It is held during an "off" period.

[0022] Transistor Q3 By flow, it is a transistor Q1. The base is grounded without minding resistance, the stored charge of the base is drawn out quickly, and it is a transistor Q1. The actuation to the OFF from ON is accelerated.

[0023] Moreover, speed up capacitor C_{sp} , for example, the capacitor connected to a 5pF voltage stabilizer and juxtaposition, is a transistor Q2. Un-flowing and transistor Q3 When it is switch-on, it is electrical-potential-difference $2V_F$ of diode ends. Forward is stored in an upside and negative charge is stored in the bottom. transistor Q2 if it will be in switch-on -- capacitor C_{sp} -> transistor Q2 -> transistor Q3 collector -> -- said -- the base -> capacitor C_{sp} and a current -- flowing -- transistor Q3 the base -- the current of hard flow -- giving -- transistor Q3 Cutoff

is brought forward.

[0024] Drawing 2 (a) and this drawing (b) show the response characteristic of an example. As shown in drawing 2 (a), ON -> OFF actuation of an open collector output circuit is improved from 74nS(s) of a circuit to about 18 nS(s) conventionally which is shown in drawing 3 . Moreover, even if it is actuation by the single input signal, the same response characteristic as the case of the push pull actuation by two complementary signals of other conventional examples shown in drawing 5 has been acquired.

[0025] Therefore, in this invention, it can operate at a high speed with one input signal, and a high-speed switching circuit with little consumed electric current can be offered.

[0026] In addition, in the example, although two power sources, 3 volts and 5 volts, are used, this invention is applicable also to the circuit which operates according to a single power source. Moreover, at an example, it is a transistor Q1. Resistance RL is connected to a collector and it is an outgoing end VOUT. Although the voltage signal has been acquired, Resistance RL is transposed to a load and it is a transistor Q1 about this. Considering as the configuration to drive is possible.

[0027]

[Effect of the Invention] As explained above, according to the high-speed switching circuit of this invention, it becomes possible to operate at a high speed with one input signal, and to obtain a high-speed switching circuit with little consumed electric current.

[Translation done.]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a circuit diagram explaining the example of a configuration of the high-speed switching circuit of this invention.

[Drawing 2] It is a graph explaining the response characteristic of the high-speed switching circuit of this invention.

[Drawing 3] It is a circuit diagram explaining the configuration of the switching circuit of the conventional example.

[Drawing 4] It is a graph explaining the response characteristic of the switching circuit of the conventional example.

[Drawing 5] It is a circuit diagram explaining the configuration of the switching circuit of other conventional examples.

[Drawing 6] It is a graph explaining the response characteristic of the switching circuit of other conventional examples.

[Description of Notations]

Q1, Q2, Q3 NPN transistor

R1, R2 Resistance

RL Load resistance

[Translation done.]

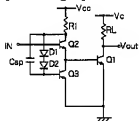
* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

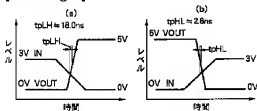
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

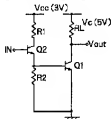
[Drawing 1]



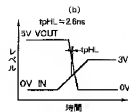
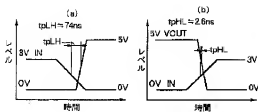
[Drawing 2]



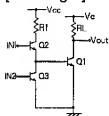
[Drawing 3]



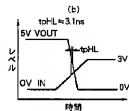
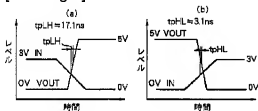
[Drawing 4]



[Drawing 5]



[Drawing 6]



[Translation done.]

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/04 17/60		9184-5K 9184-5K	H 0 3 K 17/04 17/60	B A

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平7-180327

(22) 出願日 平成7年(1995)7月17日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 上 野 昭 司

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 下 園 昌 博

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

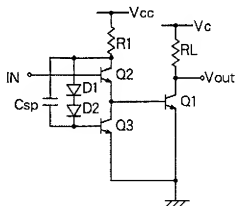
最終頁に続く

(54) 【発明の名称】 高速スイッチング回路

(57) 【要約】

【課題】 単一の入力信号で高速に動作しかつ消費電流の少ない高速スイッチング回路を提供する。

【解決手段】 コレクタに第1の抵抗 (R1) の一端が接続され、ベースに入力信号が供給される第1のトランジスタ (Q2) と、上記第1のトランジスタ (Q2) のエミッタにコレクタが接続される第2のトランジスタ (Q3) と、上記第1トランジスタのコレクタ及び上記第2のトランジスタのベースの相互間に接続される定電圧降下回路 (D1, D2) と、コレクタに第2の抵抗 (RL) の一端が接続され、ベースが上記第1及び第2のトランジスタのエミッタ・コレクタ接続点に接続される第3のトランジスタ (Q1) と、上記第1及び第2の抵抗 (R1, RL) の他端と、上記第2及び第3のトランジスタ夫々のエミッタとに、動作電圧を印加する電源供給手段 (Vcc, Vc) と、を備える。



【特許請求の範囲】

【請求項1】コレクタに第1の抵抗(R1)の一端が接続され、ベースが入力端となる第1のトランジスタ(Q2)と、前記第1のトランジスタ(Q2)のエミッタにコレクタが接続される第2のトランジスタ(Q3)と、前記第1のトランジスタのコレクタ及び前記第2のトランジスタのベースの相互間に接続される定電圧降下回路(D1、D2)と、コレクタに第2の抵抗(RL)の一端が接続され、ベースが前記第1のトランジスタのエミッタ及び前記第2のトランジスタのコレクタ相互の接続点に接続され、コレクタが出力端となる第3トランジスタ(Q1)と、前記第1及び第2の抵抗の他端と、前記第2及び第3のトランジスタの両エミッタとに、接続される電源供給手段(Vcc、Vc)と、を備え、前記定電圧降下回路における降下電圧が、前記第1トランジスタの導通時における第1トランジスタのコレクタ・エミッタ間電圧よりも大きくなるように設定される、高速スイッチング回路。

【請求項2】前記定電圧降下回路は、ダイオード、ツェナーダイオード、トランジスタのうち、少なくともいずれかを用いて構成される、ことを特徴とする請求項1記載の高速スイッチング回路。

【請求項3】前記第1乃至第3トランジスタは、NPNトランジスタである、ことを特徴とする請求項1記載の高速スイッチング回路。

【請求項4】前記定電圧降下回路と並列にスピードアップコンデンサが接続される、ことを特徴とする請求項1記載の高速スイッチング回路。

【請求項5】前記電源供給手段は、前記第1の抵抗の他端及び前記第2のトランジスタエミッタ間に第1の電源電圧を供給する第1の電源(Vcc)と、前記第2の抵抗の他端及び前記第3のトランジスタのエミッタ間に第2の電源電圧を供給する第2の電源(Vc)と、からなる、ことを特徴とする請求項1記載の高速スイッチング回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トランジスタスイッチング回路に関し、特に、オープンコレクタ出力回路のスイッチング動作の高速化を図るようにした高速スイッチング回路に関する。

【0002】

【従来の技術】従来のスイッチング回路の例を図3を参照して説明する。同図において、スイッチング回路は、3ボルト電源系回路と5ボルト電源系回路の中間に接続される場合を示しており、大別すると、バッファとなるエミッタフォロア回路とオープンコレクタ出力回路とによって構成されている。エミッタフォロア回路は、コレ

クタ接地形式のNPNトランジスタQ2、トランジスタQ2のコレクタに接続される抵抗R1、トランジスタQ2のエミッタに接続される抵抗R2、によって構成される。トランジスタQ2のベースに信号が印加されるエミッタフォロア回路の両端には、図示しない第1の電源より、電源電圧Vcc、例えば、3ボルトの電圧が印加される。

【0003】コレクタ出力回路は、エミッタ接地の出力トランジスタQ1、そのコレクタに接続される負荷抵抗RL、によって構成される。トランジスタQ1のベースはトランジスタQ2のコレクタに接続され、負荷抵抗RL及びトランジスタQ1の接続点が出力端となる。コレクタ出力回路の両端には、図示しない第2の電源によって、電源電圧Vc、例えば、5ボルトの電圧が印加される。

【0004】かかる構成において、入力信号INが高レベルのとき、トランジスタQ2は導通し、エミッタ電流と抵抗R2とによって発生する電圧によってトランジスタQ1のベース・エミッタ間がバイアスされ、トランジスタQ1が導通する。この結果、出力端は接地レベルとなり、出力信号VOUTは低レベル(略0ボルト)となる。また、入力信号INが低レベルのとき、トランジスタQ2は非導通となり、トランジスタQ1のベース・エミッタ間がバイアスされないため、トランジスタQ1が非導通となる。この結果、出力端は抵抗RLを介して電源Vcに接続され、出力信号VOUTは高レベル(略5ボルト)となる。

【0005】図4は、上記スイッチング回路のスイッチング波形例を示しており、同図(a)は、入力信号INが高レベルから低レベルに遷移するときの出力信号VOUTの応答を示している。入力信号INの50%立ち下がり値から出力信号VOUTの50%立ち上がり値までの時間tpLHは、例えば74ns程度要する。同図(b)は、入力信号INが低レベルから高レベルに遷移するときの出力信号VOUTの応答を示している。入力信号INの50%立ち上がり値から出力信号VOUTの50%立ち下がり値までの時間tpHLは、例えば2.6ns程度要する。

【0006】図3に示す回路構成では、トランジスタQ1のオンからオフに遷移するとき、抵抗R2を介してトランジスタQ1のベースに蓄積された電荷を放電するため、図4(a)に示すように、動作に遅れが生ずる。抵抗R2の値を低く設定すると、応答は改善されるが、エミッタフォロア回路の消費電流が増大し、好ましくない。

【0007】図5は、他の従来例を示しており、図3に示される回路と対応する部分には同一号を付し、かかる部分の説明は省略する。

【0008】同図の回路構成においては、図3に示される抵抗R2をNPNトランジスタQ3に置換えている。

こうすると、トランジスタQ3がトランジスタQ1のベースに蓄積された電荷を吸取る。

【0009】図6(a)及び図(b)は、図5に示す従来例の出力信号V_{OUT}の応答特性を示している。この例の回路構成では、応答特性がt_{pLH}は略18nS、t_{pHL}は略2.6nSとなり、改善される。

【0010】

【発明が解決しようとする課題】しかしながら、図3の回路構成では、トランジスタQ2及びQ3を相補的に動作させるために、波形が相補的に変化する入力信号IN1及びIN2の2種類必要である。このため、相補信号発生回路が別途必要となり、しかもスイッチング回路において両信号相互のタイミングを正確に合わせる必要が生ずる。

【0011】よって、本発明は、1つの入力信号で高速に動作し、かつ、消費電流の少ない高速スイッチング回路を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明の高速スイッチング回路は、コレクタに第1の抵抗(R1)の一端が接続され、ベースが入力端となる第1のトランジスタ(Q2)と、上記第1のトランジスタ(Q2)のエミッタにコレクタが接続される第2のトランジスタ(Q3)と、上記第1のトランジスタのコレクタ及び上記第2のトランジスタのベースの相互間に接続される定電圧降下回路(D1、D2)と、コレクタに第2の抵抗(RL)の一端が接続され、ベースが上記第1のトランジスタのエミッタ及び上記第2のトランジスタのコレクタ相互の接続点に接続され、コレクタが出力端となる第3トランジスタ(Q1)と、上記第1及び第2の抵抗R1他端と、上記第2及び第3のトランジスタQ2、Q3のエミッタとに、接続される電源供給手段(V_{cc}、V_e)と、を備え、上記定電圧降下回路における降下電圧が、上記第1トランジスタの導通時における第1トランジスタのコレクタ・エミッタ間電圧よりも大きくするように設定される。

【0013】この構成によれば、トランジスタQ2が非導通の場合、トランジスタQ2のコレクタは高電位となる。トランジスタQ3のベースはトランジスタQ2のコレクタ電位から電圧降下素子分低下した電位にバイアスされる。トランジスタQ3は導通し、トランジスタQ1

$$V_{be}(Q1) + V_{ce}(Q2 \text{ オン}) < V_{be}(Q3) + V_F(D1) + V_F(D2) \dots (1)$$

となるように、ダイオードのV_F(D1)、V_F(D2)を設定する。

【0020】ここで、ダイオードD1、D2の順方向電

$$V_{be}(Q1) + V_{ce}(Q2 \text{ オン}) < V_{be}(Q3) + 2V_F \dots (2)$$

また、V_{be}(Q1)=V_{be}(Q3)とすると、定電圧降下回路の電圧降下分2V_FをトランジスタQ2のコレクタ・エミッタ間電圧(導通状態)V_{ce}(Q2 オン)より、大きく設定することにより、上記(1)式を成立させることができ

のベースを接地してトランジスタQ1を非導通にする。

【0014】また、トランジスタQ2が導通の場合、トランジスタQ1のベースに高レベルが印加され、トランジスタQ1が導通する。トランジスタQ2のコレクタは低電位となる。トランジスタQ3のベースはトランジスタQ2の低いコレクタ電位から電圧降下素子分低下したより低い電位にバイアスされ、トランジスタQ3は非導通となる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1は、本発明のスイッチング回路例を示しており、同図において図1と対応する部分には同一符号を付している。

【0016】第1の電源V_{cc}と接地間に、抵抗R1、NPNトランジスタQ2、NPNトランジスタQ3が互いに直列に接続される。第2の電源V_eと接地間に、抵抗RL、トランジスタQ1が互いに直列に接続される。トランジスタQ2のエミッタとトランジスタQ3のコレクタとの接続点がトランジスタQ1のベースに接続される。

【0017】更に、抵抗R1及びトランジスタQ2の接続点とトランジスタQ3のゲートとの間にダイオードD1及びD2からなる定電圧降下回路が設けられる。定電圧降下回路は、ダイオード接続されるトランジスタやツェナーダイオードによって構成することができる。また、これ等を組合わせることが可能である。この定電圧降下回路と並列にキャパシタが接続され、いわゆるスビードアップコンデンサとして機能させられる。

【0018】トランジスタQ2のベースは入力端に接続され、抵抗RLとトランジスタQ1のコレクタとの接続点は出力端に接続される。

【0019】かかる構成において、入力信号INが高レベル(H)であるとき、トランジスタQ2は導通する。これによって、トランジスタQ1のベースにベース電流が供給されてトランジスタQ1も導通する。このとき、トランジスタQ1及びQ3のベース・エミッタ間電圧を夫々V_{be}(Q1)及びV_{be}(Q3)、トランジスタQ2のコレクタ・エミッタ間電圧(導通状態)をV_{ce}(Q2 オン)、ダイオードD1、D2の順方向電圧降下を夫々V_F(D1)、V_F(D2)とすると、トランジスタQ2のコレクタにおいて、

圧降下V_F(D1)、V_F(D2)をV_Fとすると、(1)式は、

る。この状態では、トランジスタQ3のベース・エミッタ間に、トランジスタQ3の導通に必要なベース・エミッタ間電圧V_{be}を与えないため、トランジスタQ3は非導通となる。

【0021】一方、トランジスタQ2のベースへの入力信号1Nが高レベルから低レベルに移移すると、トランジスタQ2は非導通となり、ベース電流が断たれてトランジスタQ1も非導通となる。トランジスタQ2の非導通によってトランジスタQ2のコレクタ電位は上昇し、ダイオードD1、D2を介してトランジスタQ3のベースへの印加電圧を増加するので、トランジスタQ3は導通する。トランジスタQ2のコレクタ電位は、 $V_{be}(Q3) + V_F(D1) + V_F(D2) = 3V_F$ となり、トランジスタQ3のベースが順方向にバイアスされるのでトランジスタQ3の導通はトランジスタQ2の非導通期間中保持される。

【0022】トランジスタQ3の導通によって、トランジスタQ1のベースが抵抗を介さずに接地され、ベースの蓄積電荷が素早く引抜かれ、トランジスタQ1のオンからオフへの動作が高速化される。

【0023】また、スピードアップコンデンサ、例えば5pFの定電圧回路と並列に接続されたキャパシタCspは、トランジスタQ2が非導通、トランジスタQ3が導通状態のとき、ダイオード両端の電圧2V_Fによって上側に正、下側に負の電荷を蓄える。トランジスタQ2が導通状態になると、キャパシタCsp→トランジスタQ2→トランジスタQ3のコレクタ→同ベース→キャパシタCspと電流が流れ、トランジスタQ3のベースに逆方向の電流を与えてトランジスタQ3の遮断を早める。

【0024】図2(a)及び同図(b)は、実施例の応答特性を示している。図2(a)に示されるように、オープンコレクタ出力回路のオン→オフ動作が図3に示す従来例の74nsから約18nsへと改善される。また、単一の入力信号による駆動であっても、図5に示す他の従来例の相補的な2つの信号によるプッシュプル動作の場合と同様の応答特性を得ている。

【0025】よって、本発明では1つの入力信号で高速に動作しつつ消費電流の少ない高速スイッチング回路を提供することができる。

【0026】なお、実施例では、3ボルトと5ボルトの2つの電源を用いているが、単一の電源により動作する回路にも本発明を適用することができる。また、実施例ではトランジスタQ1のコレクタに抵抗R_Lを接続し、出力端V_{OUT}に電圧信号を得ているが、抵抗R_Lを負荷に置換え、これをトランジスタQ1によって駆動する構成とすることが可能である。

【0027】

【発明の効果】以上説明したように、本発明の高速スイッチング回路によれば、1つの入力信号で高速に動作し、かつ、消費電流の少ない高速スイッチング回路を得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の高速スイッチング回路の構成例を説明する回路図である。

【図2】本発明の高速スイッチング回路の応答特性を説明するグラフである。

【図3】従来例のスイッチング回路の構成を説明する回路図である。

【図4】従来例のスイッチング回路の応答特性を説明するグラフである。

【図5】他の従来例のスイッチング回路の構成を説明する回路図である。

【図6】他の従来例のスイッチング回路の応答特性を説明するグラフである。

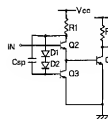
【符号の説明】

Q1、Q2、Q3 NPNトランジスタ

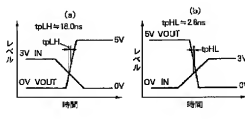
R1、R2 抵抗

R_L 負荷抵抗

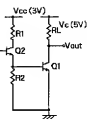
【図1】



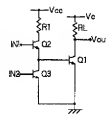
【図2】



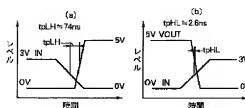
【図3】



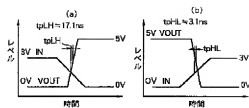
【図5】



【図4】



【図6】



フロントページの続き

(72)発明者 塩 川 克 己
 神奈川県川崎市川崎区駅前本町25番地 1
 東芝マイクロエレクトロニクス株式会社内